



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Re application of: **Takatoshi DEGUCHI**

Serial Number: **10/695,666**

Filed: October 29, 2003

Customer No.: **38834**

For: **METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
P. O. Box 1450  
Alexandria, VA 22313-1450

January 12, 2004

Sir:

The benefit of the filing date of the following prior foreign application is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:


**Japanese Appln. No. 2002-316384, filed on October 30, 2002**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicants have complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 50-2866.

Respectfully submitted,  
WESTERMAN, HATTORI, DANIELS & ADRIAN, LLP

  
Stephen G. Adrian  
Reg. No. 32,878

Atty. Docket No.: 032071  
1250 Connecticut Ave, N.W., Suite 700  
Washington, D.C. 20036  
Tel: (202) 822-1100  
Fax: (202) 822-1111

SGA/my

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年10月30日

出 願 番 号  
Application Number:

特願2002-316384

[ ST.10/C ]:

[ JP2002-316384 ]

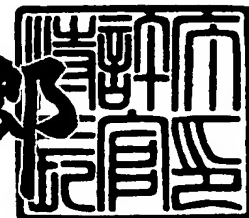
出 願 人  
Applicant(s):

富士通株式会社

2003年 3月25日

特許庁長官  
Commissioner,  
Japan Patent Office

太田信一郎



出証番号 出証特2003-3020043

【書類名】 特許願

【整理番号】 0241382

【提出日】 平成14年10月30日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置の製造方法

【請求項の数】 10

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 出口 貴敏

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100090273

【弁理士】

【氏名又は名称】 國分 孝悦

【電話番号】 03-3590-8901

【手数料の表示】

【予納台帳番号】 035493

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9908504

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 デュアルダマシン法により配線を形成する半導体装置の製造方法において、

層間絶縁膜上に配線溝用のマスクを形成する工程と、

前記配線溝用のマスク上に、多層レジストを用いてビアホール用のマスクを形成する工程と、

前記ビアホール用のマスクを用いて、前記層間絶縁膜を加工することにより、前記層間絶縁膜に前記層間絶縁膜の厚さよりも浅い孔を形成する工程と、

前記配線溝用のマスクを用いて、前記層間絶縁膜を加工することにより、前記層間絶縁膜に配線溝を形成すると共に、前記孔を下層まで貫通させてビアホールを形成する工程と、

前記配線溝及びビアホール内に配線材料を埋め込む工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】 配線溝用のマスクを形成する工程は、

前記層間絶縁膜上に、第 1、第 2 及び第 3 のハードマスクを順次形成する工程と、

前記第 3 のハードマスクを前記配線溝の平面形状に加工する工程と、

を有し、

前記第 2 のハードマスクを前記第 1 及び第 3 のハードマスクとは異なる材料から形成することを特徴とする請求項 1 に記載の半導体装置の製造方法。

【請求項 3】 前記ビアホール用のマスクを形成する工程は、前記配線溝用のマスク上に、前記多層レジストとして、有機膜と、無機膜と、感光性レジスト膜と、を順次形成する工程を有することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 4】 前記無機膜の厚さを、前記第 1 乃至第 3 のハードマスクの厚さの合計よりも薄くすることを特徴とする請求項 3 に記載の半導体装置の製造方法。

【請求項 5】 前記ビアホール用のマスクを形成する工程は、  
前記感光性レジスト膜を前記ビアホールの平面形状に加工する工程と、  
前記感光性レジスト膜をマスクとして、前記無機膜を前記ビアホールの平面形状に加工する工程と、

前記無機膜をマスクとして、前記有機膜を前記ビアホールの平面形状に加工すると共に、前記感光性レジスト膜を除去する工程と、

を有することを特徴とする請求項 3 又は 4 に記載の半導体装置の製造方法。

【請求項 6】 前記孔を形成する工程は、前記有機膜をマスクとして、前記第 1 乃至第 3 のハードマスクを前記ビアホールの平面形状に加工すると共に、前記無機膜を除去する工程を有し、

前記孔を形成しながら前記有機膜を除去することを特徴とする請求項 5 に記載の半導体装置の製造方法。

【請求項 7】 前記ビアホール用のマスクを形成する工程は、前記配線溝用のマスク上に、前記多層レジストとして、有機膜と、Si を含有した感光性レジスト膜と、を順次形成する工程を有することを特徴とする請求項 1 又は 2 に記載の半導体装置の製造方法。

【請求項 8】 前記ビアホール用のマスクを形成する工程は、  
前記感光性レジスト膜を前記ビアホールの平面形状に加工する工程と、  
前記感光性レジスト膜をマスクとして、前記有機膜を前記ビアホールの平面形状に加工する工程と、

を有することを特徴とする請求項 7 に記載の半導体装置の製造方法。

【請求項 9】 前記孔を形成する工程は、前記有機膜をマスクとして、前記第 1 乃至第 3 のハードマスクを前記ビアホールの平面形状に加工すると共に、前記感光性レジストを除去する工程を有し、

前記孔を形成しながら前記有機膜を除去することを特徴とする請求項 8 に記載の半導体装置の製造方法。

【請求項 10】 前記有機膜の厚さを、前記層間絶縁膜の厚さよりも薄くすることを特徴とする請求項 3 乃至 9 のいずれか 1 項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

## 【発明の属する技術分野】

本発明は、デュアルダマシン法を採用した半導体装置の製造方法に関する。

【0002】

## 【従来の技術】

近年、半導体集積回路の高集積化が進むに連れ、配線パターンについても、密度が高くなり、また、配線長が増大している。従来、配線材料にはA lを使用していたが、配線パターンの微細化に伴い、配線遅延の問題が浮上してきた。その問題を解決するため、近時、配線材料には、主にC uが用いられている。しかし、A lとは異なり、C uそのものに配線パターンを転写することは困難である。このため、C u配線を形成するに当たっては、層間絶縁膜に配線溝のパターンを転写し、そこへC uを埋め込んで配線パターンを形成するダマシン法が有効である。また、ダマシン法は、溝のC uとビア（V i a）のC uを個別に形成するシングルダマシン法と、溝とビアを同時に作るデュアルダマシン法とに分類される。

【0003】

その一方で、層間絶縁膜の材料についても、配線遅延の問題を解決するため、従来の酸化膜より誘電率が低い低誘電率膜が使用されている。低誘電率膜の材料は、無機材料と有機材料との2種類に大別される。これらは、一般的には、各デバイス特性の要求を満たすように、使い分けられている。

【0004】

100nmノード以下の世代の半導体装置の配線層を作るには、C uデュアルダマシン法を用いるのが好ましい。また、層間絶縁膜として、有機の低誘電率膜を用いる場合、層間構造は、先溝ハードマスク方式を用いるのが一般的である。ここで、先溝ハードマスク方式とは、予め、配線溝のパターンを形成するためのハードマスクのパターンを層間絶縁膜上に形成しておき、配線溝パターンの段差上に直接、ビアのパターニングを行い、ビアの加工、層間絶縁膜の溝の加工を順次行い、デュアルダマシン構造を形成する方式である。

【0005】

【特許文献1】

特開2001-351976号公報

【特許文献2】

特開2000-124306号公報

【0006】

【発明が解決しようとする課題】

100nmノード以下の世代のビアパターンの露光には、一般的に、ArFエキシマレーザが用いられる。しかしながら、パターンの微細化が進むにつれて、このArFエキシマレーザを用いて形成されたパターンの誤差が許容できない程度のもthingになりつつある。

【0007】

本発明は、かかる問題点に鑑みてなされたものであって、デュアルダマシン法において層間絶縁膜に微細なパターンを適切に形成することができる半導体装置の製造方法を提供することを目的とする。

【0008】

【課題を解決するための手段】

本願発明者は、鋭意検討の結果、ArFエキシマレーザ技術では、微細パターンを形成するために必然的に焦点深度が浅くなり、下地の平坦性に対して非常に敏感であるのに対し、従来の方法では、この平坦性が低いために、露光によって感光性レジストに形成されるパターンに誤差が生じていることを見出した。そして、このような誤差は、特に100nmノード以下の世代で顕著となっている。

【0009】

従って、先溝ハードマスク方式を用いて、尚且つArFエキシマレーザ技術を用いてビアホールを形成するには、配線溝用のマスク（ハードマスク）の段差を埋め込んだ後に、ビアホールを形成するためのパターニングを行う必要がある。そして、このような段差を平坦化して、パターニングを行うには、多層レジスト技術が有効である。多層レジスト技術には、例えば、3層の積層膜からなる多層レジストを使ったトリレベル技術と、2層の積層膜からなる多層レジストを使っ

たバイレベルレジスト技術と、がある。そして、本願発明者は、これらの見解に基づいて、以下に示す発明の諸態様に想到した。

【 0 0 1 0 】

本願発明に係る半導体装置の製造方法は、デュアルダマシン法により配線を形成する半導体装置の製造方法に関する。本製造方法では、先ず、層間絶縁膜上に配線溝用のマスクを形成し、前記配線溝用のマスク上に、多層レジストを用いてビアホール用のマスクを形成する。次に、前記ビアホール用のマスクを用いて、前記層間絶縁膜を加工することにより、前記層間絶縁膜に前記層間絶縁膜の厚さよりも浅い孔を形成する。次いで、前記配線溝用のマスクを用いて、前記層間絶縁膜を加工することにより、前記層間絶縁膜に配線溝を形成すると共に、前記孔を下層まで貫通させてビアホールを形成する。そして、前記配線溝及びビアホール内に配線材料を埋め込む。

【 0 0 1 1 】

なお、多層レジスト技術を使った場合には、多層レジストを剥離する工程が必要とされる。しかし、層間絶縁膜として有機低誘電率膜を用いた場合、従来の方法では、エッチング後に多層レジストの剥離を行うと、低誘電率膜に形成したパターンの形状が損なわれる虞がある。従って、多層レジストを構成する各膜及びハードマスクの厚さ及び材料をも適切に選択することが望ましい。

【 0 0 1 2 】

【発明の実施の形態】

以下、本発明の実施の形態に係る半導体装置の製造方法について添付の図面を参照して具体的に説明する。

【 0 0 1 3 】

(第 1 の実施形態)

先ず、本発明の第 1 の実施形態について説明する。図 1 乃至図 4 は、本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。本実施形態では、先溝ハードマスク方式のデュアルダマシン法により半導体装置を製造する。

【 0 0 1 4 】



先ず、図 1 (a) に示すように、Cu 配線 1 上に、エッチングストッパ膜として SiC 膜 2 を形成する。SiC 膜 2 の厚さは、例えば 30 nm である。次に、SiC 膜 2 上に、層間絶縁膜として有機低誘電率膜 3 を形成する。有機低誘電率膜 3 の厚さは、例えば 450 nm である。有機低誘電率膜 3 の原料としては、例えばダウ・ケミカル社製の SiLK (登録商標)、有機 SOG、アモルファスカーボンフロライド及びポリテトラフルオロエチレン (デュポン社のテフロン (登録商標) 等) を使用することができる。

## 【 0 0 1 5 】

次いで、有機低誘電率膜 3 上に、第 1 のハードマスクとして SiC 膜 4 を形成し、更に、第 2 のハードマスクとして SiO<sub>2</sub> 膜 5 を形成する。SiC 膜 4 及び SiO<sub>2</sub> 膜 5 の厚さは、夫々、例えば 50 nm、100 nm である。続いて、SiO<sub>2</sub> 膜 5 上に、第 3 のハードマスクとして Si<sub>3</sub>N<sub>4</sub> 膜 6 を形成する。Si<sub>3</sub>N<sub>4</sub> 膜 6 は、配線溝のハードマスクパターンを形成する際の被エッチング膜となる。Si<sub>3</sub>N<sub>4</sub> 膜 6 の厚さは、例えば 50 nm である。その後、Si<sub>3</sub>N<sub>4</sub> 膜 6 上に、パターンニング時に必要な反射防止膜として有機 BARC (Bottom anti-reflection coating) 7 を形成する。有機 BARC 7 の厚さは、例えば 87 nm である。そして、有機 BARC 7 上に、有機系の感光性レジストを塗布し、これに露光及び現像を施すことにより、配線溝のパターンが形成されたレジストマスク 8 を形成する。レジストマスク 8 の厚さは、例えば 300 nm である。

## 【 0 0 1 6 】

なお、第 1 乃至第 3 のハードマスクの材料は特に限定されるものではなく、例えばシリコンナイトライド、二酸化シリコン、シリコンカーバイド、アモルファス水素化シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキサイド、テトラエチルオルトシリケート、ホスホシシリケート、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノングラス及びフッ素化シリケートガラス等の無機材料を使用することができる。

## 【 0 0 1 7 】

次に、図 1 (b) に示すように、レジストマスク 8 をマスクとして、有機 BA

RC7をエッチングする。このエッチングは、例えば、 $\text{CF}_4$ : 0~200 sccm、 $\text{Ar}$ : 0~1000 sccm、 $\text{O}_2$ : 0~100 sccm、圧力: 0.13~40 Pa (1~300 Torr)、RF電源パワー: 100~1000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。

## 【0018】

次いで、図1(c)に示すように、レジストマスク8及び有機BARC7をマスクとして、 $\text{Si}_3\text{N}_4$ 膜をエッチングする。このエッチングは、 $\text{CF}_4$ : 0~200 sccm、 $\text{Ar}$ : 0~1000 sccm、 $\text{O}_2$ : 0~100 sccm、圧力: 0.13~40 Pa (1~300 Torr)、RF電源パワー: 100~1000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。この結果、 $\text{Si}_3\text{N}_4$ 膜が配線溝のパターンにパターンニングされる。

## 【0019】

続いて、図1(d)に示すように、レジストマスク8及び有機BARC7を、アッシングにより除去する。このアッシングは、例えば、 $\text{O}_2$ : 0~100 sccm、圧力: 0.13~67 Pa (1~500 Torr)、RF電源パワー: 100~1000 Wの条件の下で、プラズマアッシング装置を用いて行う。

## 【0020】

そして、層間絶縁膜である有機低誘電率膜3等に、ビアホールのパターンを形成する。ここでは、 $\text{Si}_3\text{N}_4$ 膜6に形成された配線溝のパターンに対して、トリレベル技術を用いる。

## 【0021】

具体的には、先ず、図2(a)に示すように、 $\text{Si}_3\text{N}_4$ 膜6の段差を埋めて平坦化する下層樹脂膜(有機膜)9を形成する。下層樹脂膜9の厚さは、有機低誘電率膜3の厚さよりも薄く、有機低誘電率膜3の厚さが100~600 nmの場合、例えば100乃至400 nm、本実施形態では300 nmである。次に、下層樹脂膜9上に、下層樹脂膜9のエッチングの際にマスクとして使用するSOG (Spin On Glass) 膜(無機膜)10を形成する。SOG膜10の厚さは、Si

C膜4、 $\text{SiO}_2$ 膜5及び $\text{Si}_3\text{N}_4$ 膜6の総厚よりも薄く、例えば30乃至200nm、本実施形態では86nmである。続いて、SOG膜10上に、有機系の感光性レジストを塗布し、これに露光及び現像を施すことにより、ビアホールのパターンが形成されたレジストマスク（感光性レジスト膜）11を形成する。レジストマスク11の厚さは、下層樹脂膜9と同程度であり、例えば100乃至300nm、本実施形態では300nmである。

#### 【0022】

なお、感光性レジストとしては、例えばKrFレーザ（波長：248nm）に感光する材料、ArFレーザ（波長：193nm）に感光する材料及びF2レーザ（波長：157nm）に感光する材料並びに電子線に感光する材料等を使用することができる。

#### 【0023】

また、SOG膜10の原料としては、例えば有機シリケートガラス及び有機シロキサンポリマー等のSOG材料を使用することができ、下層樹脂膜9の原料としては、例えば塗布型の有機樹脂材料を使用することができる。

#### 【0024】

次に、図2（b）に示すように、レジストマスク11をマスクとして、SOG膜10をエッチングする。このエッチングは、例えば、 $\text{CF}_4$ ：0～200sccm、Ar：0～1000sccm、 $\text{O}_2$ ：0～100sccm、圧力：0.13～40Pa（1～300mTorr）、RF電源パワー：100～1000W、磁場：0～10mT（0～100G）の条件の下で、プラズマエッチング装置を用いて行う。

#### 【0025】

次いで、図2（c）に示すように、SOG膜10をマスクとして、下層樹脂膜9をエッチングすると同時に、レジストマスク11を除去する。このエッチングは、例えば、 $\text{NH}_3$ ：1～500sccm、圧力：0.13～40Pa（1～300mTorr）、RF電源パワー：100～1000W、磁場：0～10mT（0～100G）の条件の下で、プラズマエッチング装置を用いて行う。このエッチングでは、下層樹脂膜9が、レジストマスク11と同様に、有機系であるた

め、これらのエッチング選択比は1程度である。従って、レジストマスク11の膜厚が、下層樹脂膜9の膜厚よりも著しく厚い場合は、下層樹脂膜9のエッチングが終了しても、SOG膜10上にレジストマスク11が残り得る。このため、レジストマスク11の膜厚は、下層樹脂膜9の膜厚よりも同等以下であることが望ましい。

## 【0026】

続いて、図2(d)に示すように、下層樹脂膜9をマスクとして、 $\text{Si}_3\text{N}_4$ 膜6、 $\text{SiO}_2$ 膜5及び $\text{SiC}$ 膜4(3層のハードマスク)をエッチングすることにより、これらの膜にビアホールのパターンを形成すると同時に、SOG膜10を除去する。このエッチングは、例えば、 $\text{CF}_4$ : 0~200 sccm、 $\text{Ar}$ : 0~1000 sccm、 $\text{O}_2$ : 0~100 sccm、圧力: 0.13~40 Pa (1~300 mTorr)、RF電源パワー: 100~1000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。このエッチングでは、SOG膜10と3層のハードマスクとのエッチング選択比が1程度となる条件を用いることにより、SOG膜11の除去を同時にできるようにしている。従って、SOG膜10の膜厚が、3層のハードマスクの総厚よりも著しく厚い場合は、3層のハードマスクのエッチングが終了しても、SOG膜10が残り得る。このため、SOG膜10の膜厚は、 $\text{Si}_3\text{N}_4$ 膜6、 $\text{SiO}_2$ 膜5及び $\text{SiC}$ 膜4の総厚よりも同等以下であることが望ましい。

## 【0027】

その後、図3(a)に示すように、3層のハードマスクをマスクとして、有機低誘電率膜3を200~400 nm程度だけエッチングすると同時に、下層樹脂膜9を除去する。このエッチングは、例えば、 $\text{NH}_3$ : 1~500 sccm、圧力: 0.13~40 Pa (1~300 mTorr)、RF電源パワー: 100~1000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。このエッチングにより有機低誘電率膜3に形成された孔は、ビアホールの一部となる。

## 【0028】

次に、下層樹脂膜9の除去により露出された $\text{Si}_3\text{N}_4$ 膜6をマスクとして、S

$\text{SiO}_2$ 膜5のエッチングを行う。この結果、図3(b)に示すように、 $\text{SiO}_2$ 膜5にも、配線溝のパターンが形成される。このエッチングは、例えば、 $\text{C}_4\text{F}_6$ : 1~100 sccm、Ar: 1~500 sccm、 $\text{O}_2$ : 1~100 sccm、圧力: 0.13~40 Pa (1~300 Torr)、RF電源パワー: 100~2000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。

## 【0029】

次いで、 $\text{Si}_3\text{N}_4$ 膜6及び $\text{SiO}_2$ 膜5をマスクとして、 $\text{SiC}$ 膜4のエッチングを行う。この結果、図3(c)に示すように、 $\text{SiC}$ 膜4にも、配線溝のパターンが形成されると同時に、 $\text{Si}_3\text{N}_4$ 膜6が除去される。このエッチングは、例えば、 $\text{CHF}_3$ : 0~100 sccm、 $\text{CH}_2\text{F}_2$ : 0~100 sccm、 $\text{N}_2$ : 1~500 sccm、 $\text{O}_2$ : 1~100 sccm、圧力: 0.13~40 Pa (1~300 Torr)、RF電源パワー: 100~2000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。

## 【0030】

続いて、 $\text{SiO}_2$ 膜5及び $\text{SiC}$ 膜4をマスクとして、層間絶縁膜である有機低誘電率膜3のエッチングを行うことにより、図3(d)に示すように、深さが200 nm程度の配線溝12を形成すると同時に、 $\text{SiC}$ 膜2まで到達する孔を形成する。このエッチングは、例えば、 $\text{NH}_3$ : 1~500 sccm、 $\text{H}_2$ : 0~500 sccm、Ar: 0~500 sccm、圧力: 0.13~133 Pa (1~1000 Torr)、RF電源パワー: 100~1000 W、磁場: 0~10 mT (0~100 G) の条件の下で、プラズマエッチング装置を用いて行う。

## 【0031】

なお、この工程では、配線溝の深さを200 nm程度としているため、図3(a)に示す工程で、孔の深さを浅くしすぎていると、例えば250 nm以下としていると、この工程では、孔が $\text{SiC}$ 膜2まで到達しない虞がある。

## 【0032】

その後、 $\text{SiO}_2$ 膜5、 $\text{SiC}$ 膜4及び有機低誘電率膜3をマスクとして、 $\text{SiC}$ 膜2のエッチングを行うことにより、図4(a)に示すように、Cu配線1

まで到達するビアホール 1 3 を形成する。この結果、デュアルダマシンの形状が完成する。このエッチングは、例えば、 $\text{CHF}_3$ : 0 ~ 1 0 0 s c c m、 $\text{CH}_2\text{F}_2$ : 0 ~ 1 0 0 s c c m、 $\text{N}_2$ : 1 ~ 5 0 0 s c c m、 $\text{O}_2$ : 1 ~ 1 0 0 s c c m、圧力: 1 ~ 3 0 0 m T o r r、RF 電源パワー: 1 0 0 ~ 2 0 0 0 W、磁場: 0 ~ 1 0 0 G の条件の下で、プラズマエッチング装置を用いて行う。

## 【 0 0 3 3 】

そして、図 4 ( b ) に示すように、ビアホール 1 3 及び配線溝 1 2 内に、Cu 1 4 を埋め込み、図 4 ( c ) に示すように、Cu 1 4 に CMP を施すことにより、Cu 配線 1 5 を形成する。その後、必要に応じて、更に層間絶縁膜及び配線等の形成を行い、半導体装置を完成させる。

## 【 0 0 3 4 】

図 5 は、本実施形態を適用して製造した半導体装置の構造を示す断面図である。図 5 に示す例では、上述の実施形態に係る製造方法により、少なくとも 2 層の多層配線が形成されている。そして、最上層の Cu 配線 1 5 及び有機低誘電率膜 3 上に、 $\text{Si}_3\text{O}_4$  等からなるパッシベーション膜 1 6 が形成されている。更に、パッシベーション膜 1 6 上に、SiO 膜 1 7 及び  $\text{Si}_3\text{O}_4$  膜 1 8 からなるカバー膜が形成されている。カバー膜には、適宜パッド引出用の開口部（図示せず）が形成されている。

## 【 0 0 3 5 】

このように、本実施形態に係る製造方法によれば、ビアホール用のマスクを形成するに際して、下層樹脂膜 9、SOG 膜 1 0 及びレジストマスク 1 1 からなる多層レジストを使用し、 $\text{Si}_3\text{N}_4$  膜 6 に形成された段差を埋め込んでいるため、レジストマスク 1 1 の原料である感光性レジストを平坦に塗布することができる。従って、この感光性レジストにレチクル等のパターンを適切に転写することが可能となり、所望の形状のレジストマスク 1 1 を得ることができる。そして、このレジストマスク 1 1 のパターンが形成されたマスクを用いて、層間絶縁膜である有機低誘電率膜 3 にビアホールのパターンを形成しているので、適切な形状のビアホール 1 3 及び配線 1 2 を得ることができる。

## 【 0 0 3 6 】

ここで、有機低誘電率膜 3 のエッチングの深さについて説明する。上述のように、有機低誘電率膜 3 の厚さを 4 5 0 n m とした場合、有機低誘電率膜 3 のエッチングの深さは 2 0 0 ~ 4 0 0 n m 程度にすることが望ましい。

## 【 0 0 3 7 】

エッチングの深さが 4 0 0 n m を超えると、深さが 2 0 0 n m 程度の配線溝 1 2 を形成する際に下層の S i C 膜 2 までがエッチングされる場合がある。この結果、S i C 膜 2 にビアホールのパターンが形成された、その直下の C u 配線 1 がダメージを受けることになる。一方、エッチングの深さが 2 0 0 n m 未満であると、深さが 2 0 0 n m 程度の配線溝 1 2 を形成しても、孔が S i C 膜 2 まで到達しない場合がある。この結果、開口不良のために、接続不良が生じる虞がある。このように、このエッチングの深さは、下地 C u 配線 1 へのダメージ、ビアホールの開口不良に密接に関係するため、この工程における深さは、厳密に制御することが望ましい。

## 【 0 0 3 8 】

また、本実施形態では、有機低誘電率膜 3 に孔を形成しながら、下層樹脂膜 9 を除去しているが、有機低誘電率膜 3 と下層樹脂膜 9 とのエッチング選択比は 1 程度である。このため、下層樹脂膜 9 の膜厚は有機低誘電率膜 3 の膜厚よりも薄く、かつ有機低誘電率膜 3 に形成する孔の深さよりも薄くしておくことが望ましい。

## 【 0 0 3 9 】

次に、ハードマスクの厚さについて説明する。下層樹脂膜 9 は、ハードマスクである S i <sub>3</sub>N<sub>4</sub> 膜 6 に形成された配線溝のパターンの段差を埋めるために形成しているが、S i <sub>3</sub>N<sub>4</sub> 膜 6 の段差が大きすぎると、下層樹脂膜 9 の除去剥離が困難となり、下層樹脂膜 9 を完全に除去できない虞がある。従って、S i <sub>3</sub>N<sub>4</sub> 膜 6 の膜厚は、3 0 乃至 1 0 0 n m、例えば 5 0 n m 程度であることが望ましい。

## 【 0 0 4 0 】

また、図 3 ( b ) に示す工程では、S i <sub>3</sub>N<sub>4</sub> 膜 6 をマスクとして S i O<sub>2</sub> 膜 5 をエッチングするため、そのエッチング条件のマージンが狭い。例えば、上述のように、S i <sub>3</sub>N<sub>4</sub> 膜 6 の膜厚を 5 0 n m 程度とした場合に、S i O<sub>2</sub> 膜 5 の膜厚

を 1 0 0 n m よりも著しく厚くすると、 $\text{SiO}_2$  膜のエッチングが完了する前に  $\text{Si}_3\text{N}_4$  膜 6 が消失する虞がある。従って、 $\text{SiO}_2$  膜 5 の膜厚は、5 0 乃至 2 0 0 n m、例えば 1 0 0 n m 程度であることが望ましい。

## 【 0 0 4 1 】

また、 $\text{SiC}$  膜 4 は、図 3 ( c ) に示す工程において、 $\text{Si}_3\text{N}_4$  膜 6 と共に除去される。従って、 $\text{SiC}$  膜 4 の膜厚は、 $\text{Si}_3\text{N}_4$  膜 6 の膜厚と同程度 ( 3 0 乃至 1 0 0 n m )、例えば 5 0 n m 程度であることが望ましい。

## 【 0 0 4 . 2 】

## ( 第 2 の実施形態 )

次に、本発明の第 2 の実施形態について説明する。図 6 は、本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。本実施形態でも、先溝ハードマスク方式のデュアルダマシン法により半導体装置を製造する。但し、本実施形態では、ビアホールのパターンを形成するに当たり、 $\text{Si}_3\text{N}_4$  膜 6 に形成された配線溝のパターンに対して、バイレベル技術を用いる。

## 【 0 0 4 3 】

本実施形態では、先ず、第 1 の実施形態と同様に、図 1 ( a ) 乃至図 1 ( d ) に示す処理を行う。

## 【 0 0 4 . 4 】

次いで、図 6 ( a ) に示すように、 $\text{Si}_3\text{N}_4$  膜 6 の段差を埋めて平坦化する下層樹脂膜 9 を形成し、その上に、 $\text{Si}$  を含有する有機系の感光性レジストを塗布し、これに露光及び現像を施すことにより、ビアホールのパターンが形成されたレジストマスク ( 感光性レジスト膜 ) 2 1 を形成する。

## 【 0 0 4 5 】

次に、図 6 ( b ) に示すように、レジストマスク 2 1 をマスクとして、下層樹脂膜 9 をエッチングする。このエッチングは、例えば、 $\text{NH}_3$  : 1 ~ 5 0 0 s c c m、圧力 : 0 . 1 3 ~ 4 0 P a ( 1 ~ 3 0 0 m T o r r )、RF 電源パワー : 1 0 0 ~ 1 0 0 0 W、磁場 : 0 ~ 1 0 m T ( 0 ~ 1 0 0 G ) の条件の下で、プラズマエッチング装置を用いて行う。本実施形態では、レジストマスク 2 1 に  $\text{Si}$  が含有されているため、下層樹脂膜 9 をエッチングしても、レジストマスク 2 1



は残存する。

【0046】

続いて、図6(c)に示すように、下層樹脂膜9をマスクとして、 $\text{Si}_3\text{N}_4$ 膜6、 $\text{SiO}_2$ 膜5及び $\text{SiC}$ 膜4（3層のハードマスク）をエッチングすることにより、これらの膜にビアホールのパターンを形成すると同時に、感光性レジスト21を除去する。このエッチングは、例えば、 $\text{CF}_4$ ：0～200 sccm、 $\text{Ar}$ ：0～1000 sccm、 $\text{O}_2$ ：0～100 sccm、圧力：0.13～40 Pa（1～300 mTorr）、RF電源パワー：100～1000 W、磁場：0～10 mT（0～100 G）の条件の下で、プラズマエッチング装置を用いて行う。このエッチングでは、感光性レジスト21と3層のハードマスクとのエッチング選択比が1程度となる条件を用いることにより、感光性レジスト21の除去を同時にできるようにしている。従って、感光性レジスト21の膜厚が、3層のハードマスクの総厚よりも著しく厚い場合は、3層のハードマスクのエッチングが終了しても、感光性レジスト21が残り得る。このため、感光性レジスト21の膜厚は、 $\text{Si}_3\text{N}_4$ 膜6、 $\text{SiO}_2$ 膜5及び $\text{SiC}$ 膜4の総厚よりも同等以下であることが望ましい。

【0047】

その後、第1の実施形態と同様に、図3(a)に示す工程以降の処理を行うことにより、半導体装置を完成させる。

【0048】

このような本実施形態に係る半導体装置の製造方法によっても、第1の実施形態と同様に、適切な形状のビアホール及び配線を得ることができる。

【0049】

以下、本発明の諸態様を付記としてまとめて記載する。

【0050】

（付記1）デュアルダマシン法により配線を形成する半導体装置の製造方法において、

層間絶縁膜上に配線溝用のマスクを形成する工程と、

前記配線溝用のマスク上に、多層レジストを用いてビアホール用のマスクを形

成する工程と、

前記ビアホール用のマスクを用いて、前記層間絶縁膜を加工することにより、前記層間絶縁膜に前記層間絶縁膜の厚さよりも浅い孔を形成する工程と、

前記配線溝用のマスクを用いて、前記層間絶縁膜を加工することにより、前記層間絶縁膜に配線溝を形成すると共に、前記孔を下層まで貫通させてビアホールを形成する工程と、

前記配線溝及びビアホール内に配線材料を埋め込む工程と、  
を有することを特徴とする半導体装置の製造方法。

【 0 0 5 1 】

(付記 2) 配線溝用のマスクを形成する工程は、  
前記層間絶縁膜上に、第 1、第 2 及び第 3 のハードマスクを順次形成する工程と、

前記第 3 のハードマスクを前記配線溝の平面形状に加工する工程と、  
を有し、

前記第 2 のハードマスクを前記第 1 及び第 3 のハードマスクとは異なる材料から形成することを特徴とする付記 1 に記載の半導体装置の製造方法。

【 0 0 5 2 】

(付記 3) 前記第 1 乃至第 3 のハードマスクを、夫々シリコンナイトライド、二酸化シリコン、シリコンカーバイド、アモルファス水素化シリコンカーバイド、シリコンカーバイドナイトライド、有機シリケートガラス、シリコンリッチオキサイド、テトラエチルオルトシリケート、ホスホシシリケート、有機シロキサンポリマー、炭素ドーブシリケートガラス、水素ドーブシリケートガラス、シルセスキオキサンガラス、スピノンガラス及びフッ素化シリケートガラスからなる群から選択された 1 種の無機材料から形成することを特徴とする付記 2 に記載の半導体装置の製造方法。

【 0 0 5 3 】

(付記 4) 前記第 1 のハードマスクの厚さを 3 0 乃至 1 0 0 n m とし、前記第 2 のハードマスクの厚さを 5 0 乃至 2 0 0 n m とし、前記第 3 のハードマスクの厚さを 3 0 乃至 1 0 0 n m とすることを特徴とする請求項 2 又は 3 に記載の半

導体装置の製造方法。

【 0 0 5 4 】

（付記 5） 前記層間絶縁膜を有機材料から形成することを特徴とする付記 1 乃至 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 5 】

（付記 6） 前記ビアホール用のマスクを形成する工程は、前記配線溝用のマスク上に、前記多層レジストとして、有機膜と、無機膜と、感光性レジスト膜と、を順次形成する工程を有することを特徴とする付記 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 6 】

（付記 7） 前記無機膜としてスピノングラス膜を形成することを特徴とする付記 6 に記載の半導体装置の製造方法。

【 0 0 5 7 】

（付記 8） 前記無機膜の厚さを、前記第 1 乃至第 3 のハードマスクの厚さの合計よりも薄くすることを特徴とする付記 6 又は 7 に記載の半導体装置の製造方法。

【 0 0 5 8 】

（付記 9） 前記層間絶縁膜の厚さを 1 0 0 ～ 6 0 0 n m としたとき、前記有機膜の厚さを 1 0 0 乃至 4 0 0 n m とし、前記無機膜の厚さを 3 0 乃至 2 0 0 n m とし、前記感光性レジスト膜の厚さを 1 0 0 乃至 3 0 0 n m とすることを特徴とする付記 6 乃至 8 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 5 9 】

（付記 1 0） 前記ビアホール用のマスクを形成する工程は、  
前記感光性レジスト膜を前記ビアホールの平面形状に加工する工程と、  
前記感光性レジスト膜をマスクとして、前記無機膜を前記ビアホールの平面形状に加工する工程と、  
前記無機膜をマスクとして、前記有機膜を前記ビアホールの平面形状に加工すると共に、前記感光性レジスト膜を除去する工程と、  
を有することを特徴とする付記 6 乃至 9 のいずれか 1 項に記載の半導体装置の

製造方法。

【 0 0 6 0 】

(付記 1 1) 前記孔を形成する工程は、前記有機膜をマスクとして、前記第 1 乃至第 3 のハードマスクを前記ビアホールの平面形状に加工すると共に、前記無機膜を除去する工程を有し、

前記孔を形成しながら前記有機膜を除去することを特徴とする付記 1 0 に記載の半導体装置の製造方法。

【 0 0 6 1 】

(付記 1 2) 前記ビアホール用のマスクを形成する工程は、前記配線溝用のマスク上に、前記多層レジストとして、有機膜と、Si を含有した感光性レジスト膜と、を順次形成する工程を有することを特徴とする付記 1 乃至 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 6 2 】

(付記 1 3) 前記ビアホール用のマスクを形成する工程は、  
前記感光性レジスト膜を前記ビアホール of 平面形状に加工する工程と、  
前記感光性レジスト膜をマスクとして、前記有機膜を前記ビアホール of 平面形状に加工する工程と、

を有することを特徴とする付記 1 2 に記載の半導体装置の製造方法。

【 0 0 6 3 】

(付記 1 4) 前記孔を形成する工程は、前記有機膜をマスクとして、前記第 1 乃至第 3 のハードマスクを前記ビアホール of 平面形状に加工すると共に、前記感光性レジストを除去する工程を有し、

前記孔を形成しながら前記有機膜を除去することを特徴とする付記 1 3 に記載の半導体装置の製造方法。

【 0 0 6 4 】

(付記 1 5) 前記有機膜の厚さを、前記層間絶縁膜の厚さよりも薄くすることを特徴とする付記 6 乃至 1 4 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 6 5 】

(付記 1 6) 前記感光性レジスト膜として、波長が 2 4 8 nm、1 9 3 nm

又は 1 5 7 n m の光に対して感光する膜を形成することを特徴とする付記 6 乃至 1 5 のいずれか 1 項に記載の半導体装置の製造方法。

【 0 0 6 6 】

【発明の効果】

以上詳述したように、本発明によれば、配線溝用のマスクに存在する段差を多層レジストによって埋め込むことができるため、ビアホール用のマスクを形成する際に微細なパターンを設計通りに転写することができる。従って、微細なビアホールを高い精度で形成することができ、高い信頼性を得ることができる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 2】

図 1 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 3】

図 2 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 4】

図 3 に引き続き、第 1 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

【図 5】

本発明の第 1 の実施形態を適用して製造した半導体装置の構造を示す断面図である。

【図 6】

本発明の第 2 の実施形態に係る半導体装置の製造方法を工程順に示す断面図である。

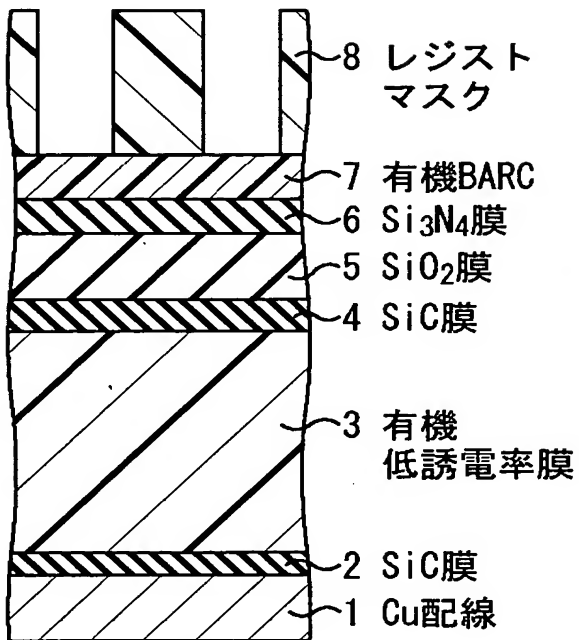
【符号の説明】

1 ; C u 配線

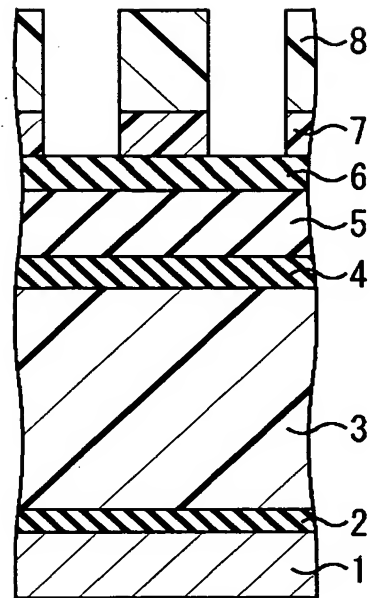
- 2 ; S i C 膜
- 3 ; 有機低誘電率膜
- 4 ; S i C 膜
- 5 ; S i O<sub>2</sub> 膜
- 6 ; S i<sub>3</sub>N<sub>4</sub> 膜
- 7 ; 有機 B A R C
- 8 ; レジストマスク
- 9 ; 下層樹脂膜
- 1 0 ; S O G 膜
- 1 1、 2 1 ; レジストマスク
- 1 2 ; 配線溝
- 1 3 ; ビアホール

【書類名】 図面

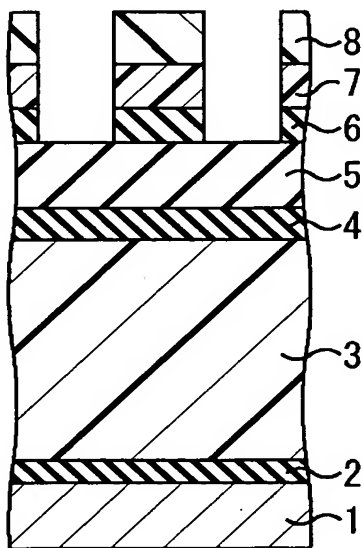
【図 1】



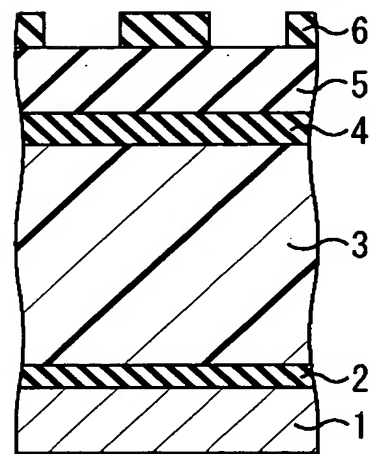
(a)



(b)

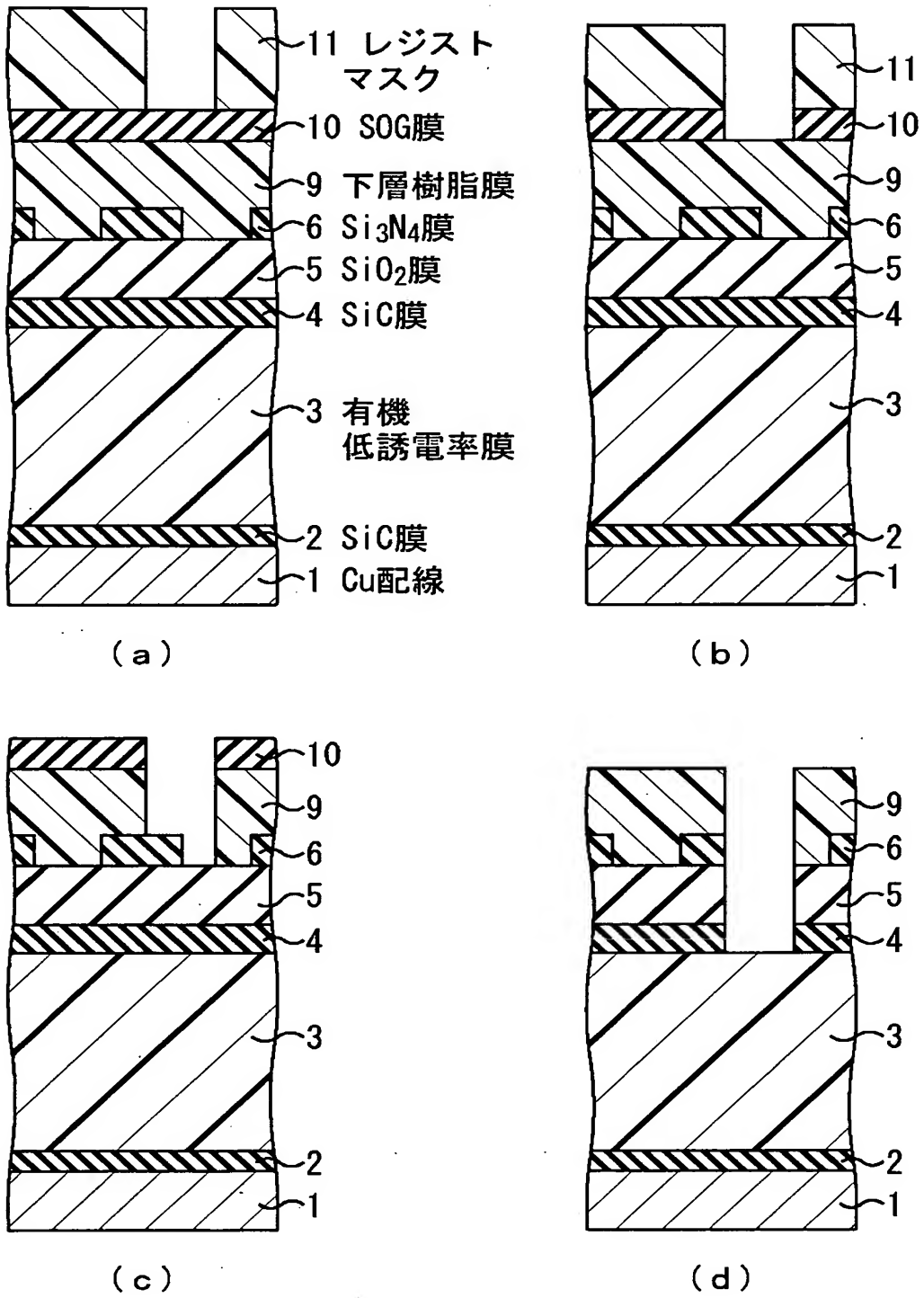


(c)



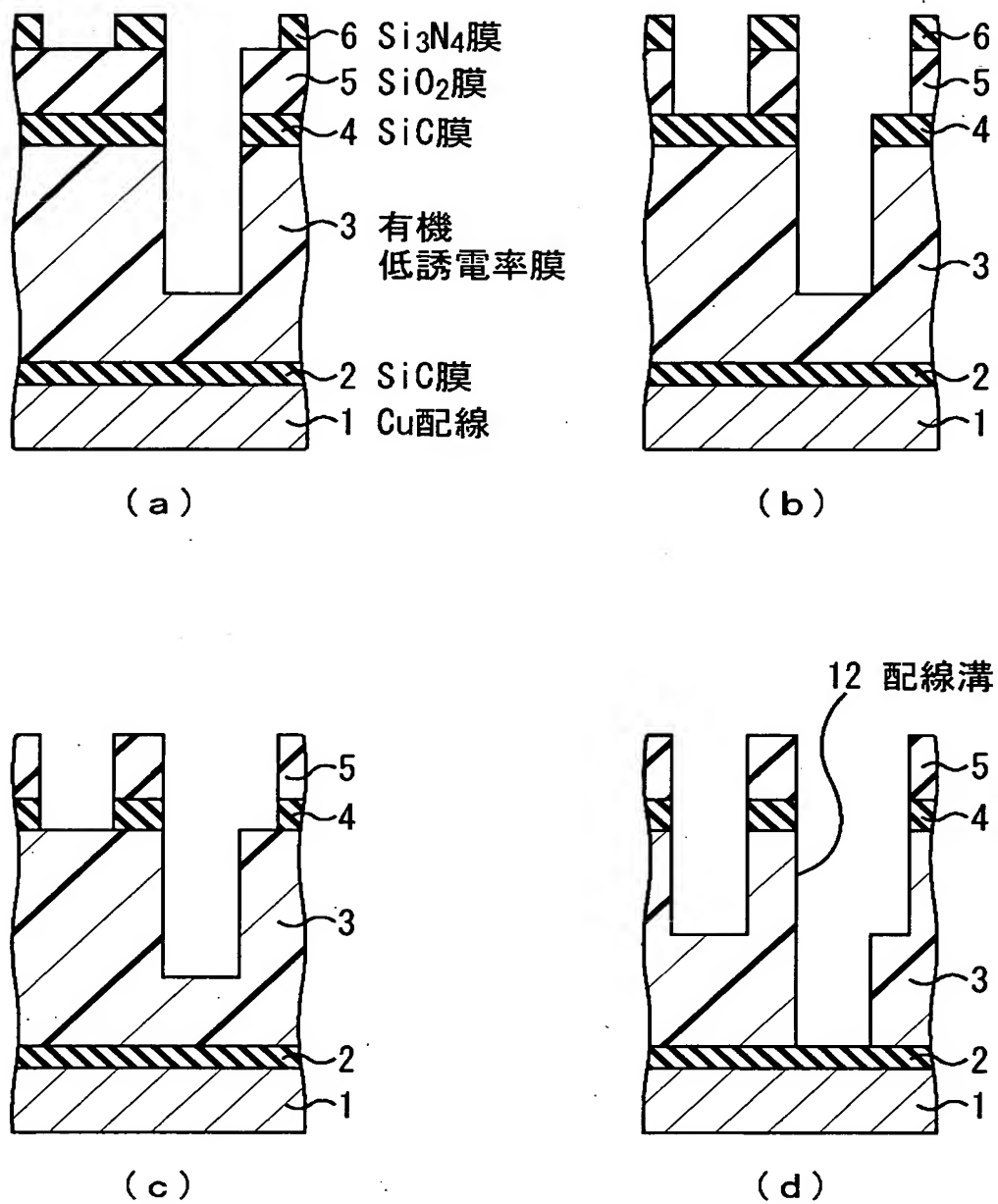
(d)

【図2】

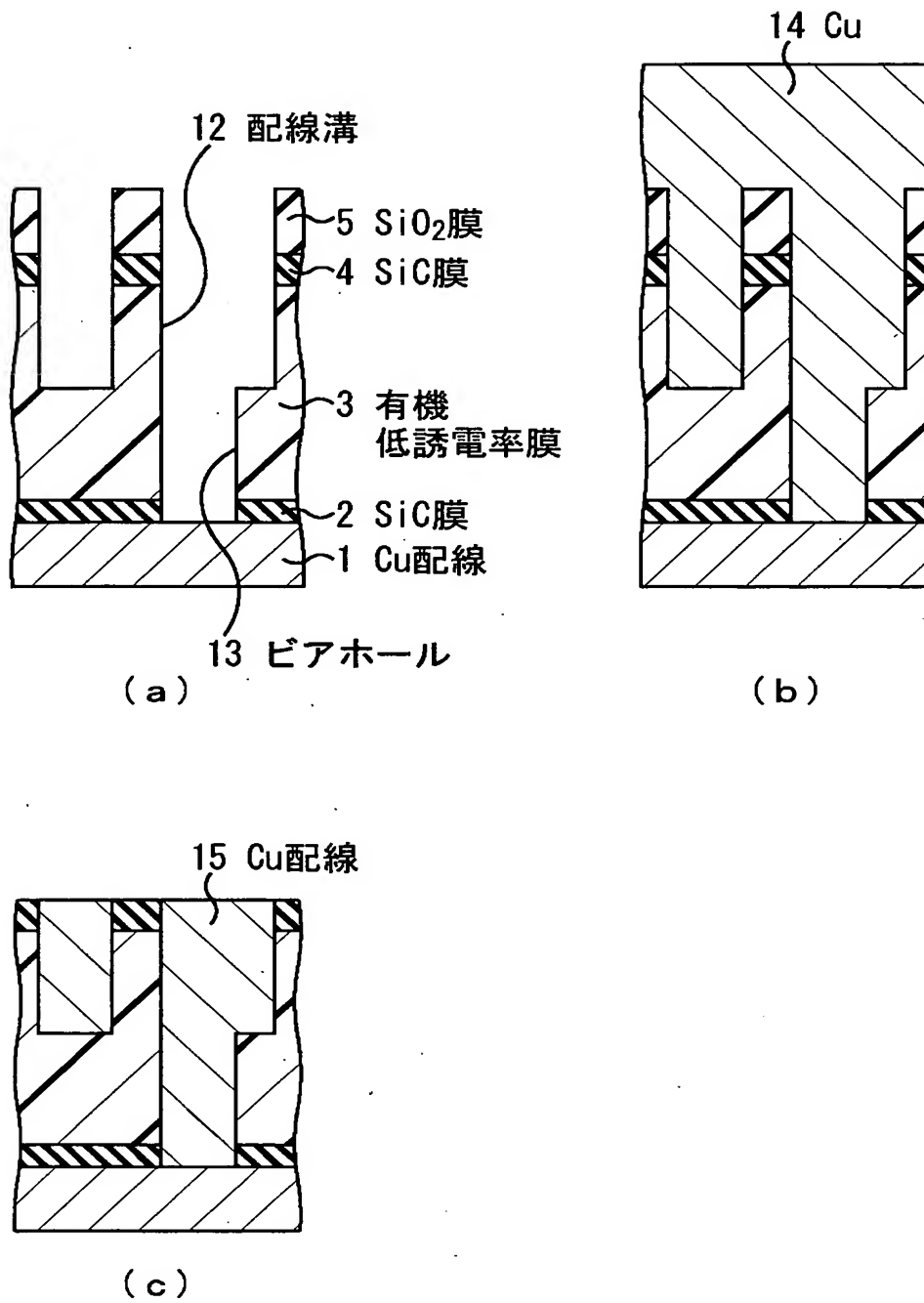




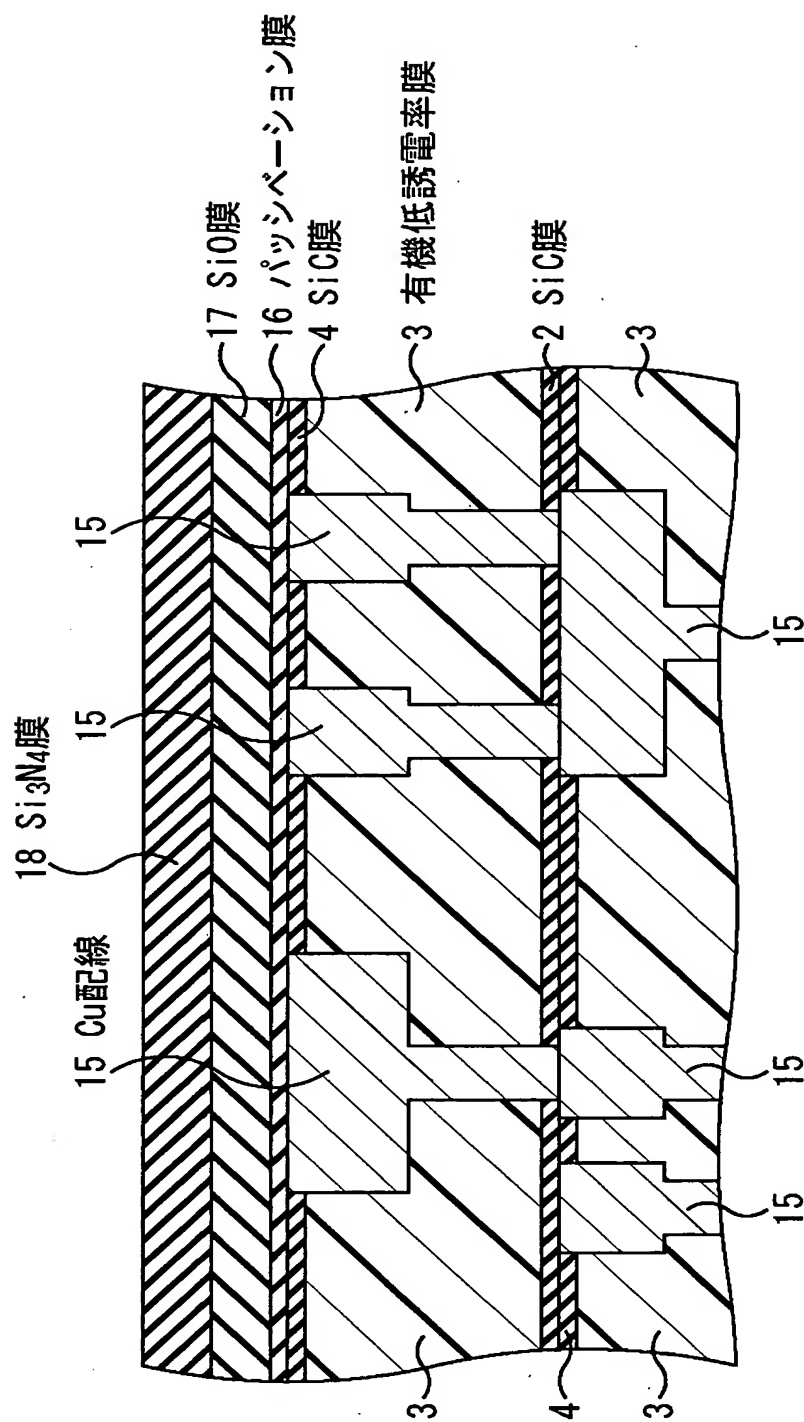
【図 3】



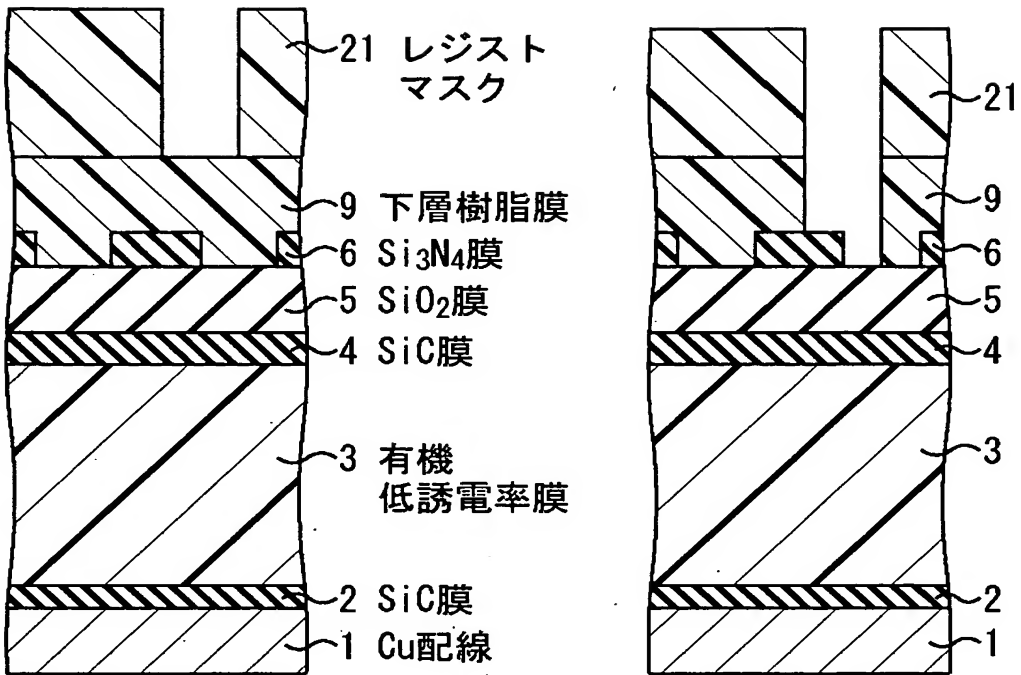
【図 4】



【図 5】

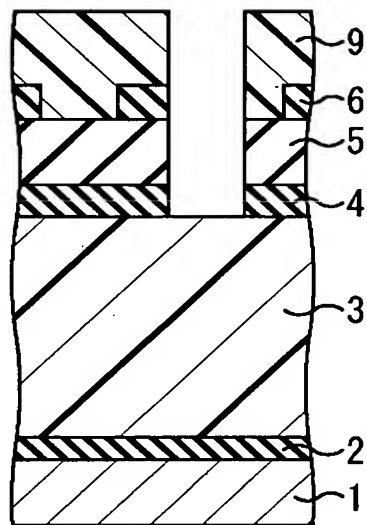


【図 6】



(a)

(b)



(c)

【書類名】 要約書

【要約】

【課題】 デュアルダマシン法において層間絶縁膜に微細なパターンを適切に形成することができる半導体装置の製造方法を提供する。

【解決手段】 配線用のハードマスクとして $\text{Si}_3\text{N}_4$ 膜 6 を形成した後、この段差を埋めて平坦化する下層樹脂膜 9 を形成する。次に、下層樹脂膜 9 上に SOG 膜 1 0 を形成し、ビアホールのパターンが形成されたレジストマスク 1 1 を形成する。次に、レジストマスク 1 1 をマスクとして、SOG 膜 1 0 をエッチングし、SOG 膜 1 0 をマスクとして、下層樹脂膜 9 をエッチングすると同時に、レジストマスク 1 1 を除去する。続いて、下層樹脂膜 9 をマスクとして、3 層のハードマスクをエッチングすることにより、これらの膜にビアホールのパターンを形成すると同時に、SOG 膜 1 0 を除去する。このような方法によれば、設計通りのパターンのレジストマスク 1 1 を得ることができ、精度が高い微細パターンを得ることができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日	1996年 3月26日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中4丁目1番1号
氏 名	富士通株式会社